

POSITION SENSOR AND MOTOR CONTROLLER

Publication number: JP10281809

Publication date: 1998-10-23

Inventor: KISHIMOTO KENICHI; SHIO YUKIHIRO

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- International: G01B21/22; G01D5/245; G05D3/00; G05D3/12; H02P5/00; G01B21/22; G01D5/12; G05D3/00; G05D3/12; H02P5/00; (IPC1-7): G01D5/245; G01B21/22; G05D3/00; G05D3/12; H02P5/00

- european:

Application number: JP19980006680 19980116

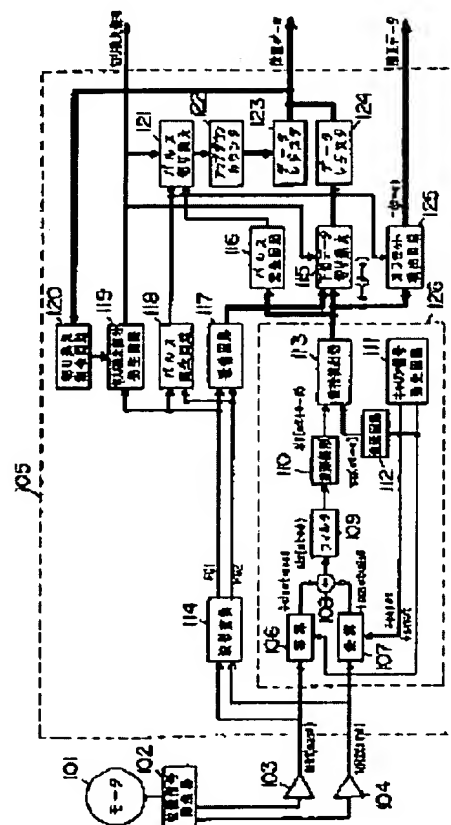
Priority number(s): JP19980006680 19980116; JP19970023532 19970206

Report a data error here

Abstract of JP10281809

PROBLEM TO BE SOLVED: To sense the position of an object without malfunction even where the object moves at high speed, by installing an interpolating processing circuit, and first and second generators for generating carry and digit lowering pulses from the signals generated by shaping first and second position signals into rectangular waveforms, and by switching the carry and digit lowering pulses according to the travel speed of the object.

SOLUTION: A position signal generator 102 outputs first and second position signals MR1 and MR2 of which the phases differ from each other by an angle of 90 deg according to the turning angle of a motor 101. An interpolation processing circuit 126 divides one period of the position signals MR1 and MR2. A first pulse generating circuit 116 generates carry and digit lowering pulses from the output signals of the interpolation processing circuit 126. A second pulse generating circuit 118 generates carry and digit lowering pulses from the output signals of a waveform transforming circuit 114. A pulse change-over circuit 121 selects carry and digit lowering pulses of, if L level, the first and, if H level, the second pulse generators 116 and 118, and the pulses subjected to carry and digit lowering pulses are counted by an up-down counter 122.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-281809

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl. ⁴	識別記号	F I
G 0 1 D 5/245	1 0 2	G 0 1 D 5/245 1 0 2 B
G 0 1 B 21/22		G 0 1 B 21/22
G 0 5 D 3/00		G 0 5 D 3/00 H
3/12	3 0 3	3/12 3 0 3 A
	3 0 5	3 0 5 B

審査請求 未請求 請求項の数 9 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平10-6680

(22) 出願日 平成10年(1998)1月16日

(31) 優先権主張番号 特願平9-23532

(32) 優先日 平9(1997)2月6日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岸本 憲一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 塩 幸広

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

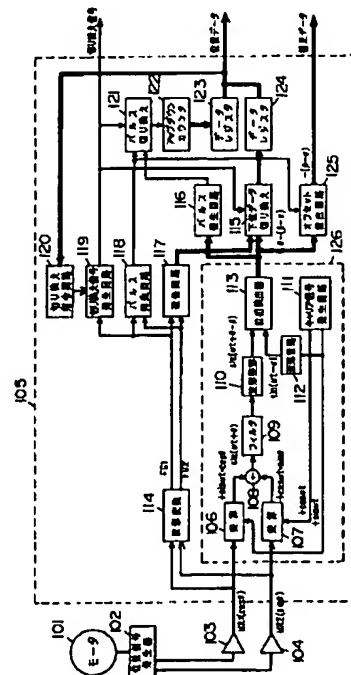
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 位置検出装置とモータ制御装置

(57) 【要約】

【課題】 物体の位置を内挿処理回路を用いて高分解能に検出する位置検出装置において、物体が高速に移動した場合でも誤動作することなく物体の位置を検出するものである。

【解決手段】 内挿処理回路の出力信号から第1の桁上げパルス及び第1の桁下げパルスを発生する第1のパルス発生回路と、第1及び第2の位置信号をそれぞれ方形波に変換する波形変換回路の出力信号より第2の桁上げパルス及び第2の桁下げパルスを発生する第2のパルス発生回路を備え、物体の移動速度に応じて、第1の桁上げパルス及び第1の桁下げパルスと、第2の桁上げパルス及び第2の桁下げパルスを切り換えるように構成したものである。



(2)

特開平10-281809

【特許請求の範囲】

【請求項1】物体の位置に応じた互いに位相差の異なる第1及び第2の位置信号を出力する位置信号発生器と、前記第1及び第2の位置信号の1周期より細かい前記物体の位置を検出する内挿処理回路と、前記内挿処理回路の出力する信号から第1の桁上げパルス及び第1の桁下げパルスを発生し出力する第1のパルス発生回路と、前記第1及び第2の位置信号をそれぞれ方形波に変換して出力する波形変換回路と、前記波形変換回路の出力信号より第2の桁上げパルス及び第2の桁下げパルスを発生し出力する第2のパルス発生回路と、前記第1の桁上げパルス及び第1の桁下げパルスと、前記第2の桁上げパルス及び第2の桁下げパルスとを前記物体の移動速度に応じて、前記第1あるいは第2の位置信号の所定の位相において切り換えるパルス切り換え回路と、前記パルス切り換え回路の出力する第3の桁上げパルス及び第3の桁下げパルスをそれぞれ計数し前記第1及び第2の位置信号の1周期より大きい前記物体の位置として出力するアップダウンカウンタとを備えた位置検出装置。

【請求項2】波形変換回路の出力する2相の信号より第1及び第2の位置信号の1周期の1/4の分解能で物体の位置を検出する通倍回路と、前記通倍回路の出力信号と内挿処理回路の出力信号とを、パルス切り換え回路と連動して切り換えて出力する下位データ切り換え回路とを備えた請求項1記載の位置検出装置。

【請求項3】物体の位置に応じた互いに位相差の異なる第1及び第2の位置信号を出力する位置信号発生器と、前記第1及び第2の位置信号の1周期より細かい前記物体の位置を検出する内挿処理回路と、前記第1及び第2の位置信号をそれぞれ方形波に変換して出力する波形変換回路と、前記波形変換回路の出力する2相の信号より第1及び第2の位置信号の1周期の1/4の分解能で物体の位置を検出する通倍回路と、前記内挿処理回路の出力信号と前記通倍回路の出力信号とを前記物体の移動速度に応じて、切り換えて出力する下位データ切り換え回路と、前記下位データ切り換え回路の出力する信号から第1の桁上げパルス及び第1の桁下げパルスを発生し出力する第1のパルス発生回路と、前記第1のパルス発生回路の出力する第1の桁上げパルス及び第1の桁下げパルスをそれぞれ計数し前記第1及び第2の位置信号の1周期より大きい前記物体の位置として出力するアップダウンカウンタとを備えた位置検出装置。

【請求項4】内挿処理回路が、第1及び第2の位置信号より周波数が高くかつ互いに位相が異なる第1及び第2のキャリア信号を発生させる手段と、第1及び第2の位置信号により第1及び第2のキャリア信号をそれぞれ変調する手段と、変調された各信号を加算する手段と、加算された信号と前記第1または第2のキャリア信号との位相差を検出する位相検出手段を備え、前記位相検出手段の出力信号を位置検出器の第1あるいは第2の信号の

1周期より細かい物体の位置として出力する請求項1から3のいずれか1項に記載の位置検出装置。

【請求項5】内挿処理回路が、内挿処理回路の出力信号に含まれるオフセットを補正する手段を備えた請求項4記載の位置検出装置。

【請求項6】波形変換回路の出力信号より第2の桁上げパルス及び第2の桁下げパルスを発生し出力する第2のパルス発生回路と、第2の桁上げパルス及び第2の桁下げパルスの発生時に内挿処理回路の出力信号を格納することにより内挿処理回路の出力信号に含まれるオフセットを検出するオフセット検出回路と、前記オフセット検出回路の出力信号により内挿処理回路の出力信号に含まれるオフセットを補正するオフセット補正手段とを備えた請求項1から5のいずれか1項に記載の位置検出装置。

【請求項7】位置信号発生器は、物体と一体に移動する多極着磁された永久磁石と、前記永久磁石の近傍に設置され、物体の位に応じた前記永久磁石による磁力の変化を電気信号に変換する磁電変換素子で構成された請求項1から6のいずれか1項に記載の位置検出装置。

【請求項8】モータの回転位置を検出する位置検出装置と、前記モータの目標位置を示す基準位置信号と前記位置検出装置の出力する回転位置信号との誤差を検出し、その位置誤差が最小になるように帰還をかけるための位置制御信号を出力する位置制御手段と、前記モータの目標速度を示す基準速度信号と前記回転位置信号を時間微分して得られる回転速度信号との誤差を検出し、その速度誤差が最小になるように帰還をかけるための速度制御信号を出力する速度制御手段と、前記位置制御信号と前記速度制御信号とを所定の比率で混合する混合手段とを備え、前記混合手段の出力により前記モータの回転位置及び回転速度の両方あるいはいずれか一方を制御するように構成したモータ制御装置。

【請求項9】位置検出装置に請求項1から7のいずれか1項の位置検出装置を備えた請求項8記載の制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、モータなど物体の位置を検出するための位置検出装置に関するものであり、モータ制御装置に用いることによりモータの回転位置あるいは回転速度の制御を可能とするものである。

【0002】

【従来の技術】モータ制御装置に応用した位置検出装置の例としては、例えば特願平8-201621号に記載されたものがある。以下に図面を参照しながら、従来の位置検出装置について説明する。図10は、従来の位置検出装置の構成図である。

【0003】図10において、101はモータ、102は位置信号発生器である。位置信号発生器102は、モータ101の回転角度位置に応じて互いの位相が90°

(3)

特開平10-281809

異なる第1、第2の位置信号MR1、MR2を出力する。本従来例では、 $MR1 = \cos \theta$ 、 $MR2 = \sin \theta$ の位相とする。MR1、MR2は、モータ101の1回転当たり、512波発生されとする。

【0004】1103、1104は増幅回路であり、位置信号発生器102から出力される振幅の小さい第1、第2の位置信号MR1、MR2を以降の各信号処理に十分な振幅になるように所定のゲインだけ増幅して出力する回路である。破線枠内1105は、1回転における回転位置をデジタル値として出力する位置検出回路であり、位置信号MR1、MR2の1周期をより細かく分割する内挿処理回路1126（破線枠1126内）を包含している。

【0005】次に、位置検出回路1105、内挿処理回路1126について具体的に説明する。1106、1107はそれぞれ乗算回路、1111は位置検出信号MR1、MR2の周波数に比して十分高い周波数（例えば数十kHzないし数百kHz）の互いに位相が 90° 異なる2相のキャリア信号を発生するキャリア信号発生回路であり、乗算回路1106、1107は増幅器1103、1104によりそれぞれ増幅された位置信号MR1、MR2と各キャリア信号とを乗算し、キャリア信号を位置信号により変調するものである。即ち、キャリア信号発生回路1111は、互いに位相が 90° 異なる2相のキャリア信号を発生し、その信号の一方を $+\sin \omega t$ とすれば（ ω ：角速度、 t ：時間）、他方は $\cos \omega t$ または $-\cos \omega t$ となる（一応前者で説明する）。

【0006】一方の乗算回路1106は一方の位相の位置信号MR1（ $\cos \theta$ ）と一方のキャリア信号（ $+\sin \omega t$ ）とを乗算し、他方の乗算回路1107は他方の位相の位置信号MR2（ $\sin \theta$ ）と他方のキャリア信号（ $+\cos \omega t$ ）とを乗算する。乗算回路1106、1107の各出力（ $+\sin \omega t \cdot \cos \theta$ ）、（ $+\cos \omega t \cdot \sin \theta$ ）は、加算回路1108に導入されて加算され、 $\sin(\omega t + \theta)$ となる。

【0007】加算された信号はフィルタ1109において不要な高周波成分が除去された後、方形波に変換する波形整形回路1110に入力され、波形整形回路1110の出力は位相検出器1113に入力される。位相検出器1113は、波形整形回路1110からの出力信号 $\sin(\omega t + \theta)$ とキャリア信号発生回路1111からの出力信号 $\sin \omega t$ との位相比較を行い、位相 θ を検出するものである。検出された位相 θ はデジタル信号に変換され、例えば7ビットのデータとして出力される。

【0008】パルス発生回路1116とアップダウンカウンタ1122は、上記の位相 θ より桁上げ桁下げ処理を行い、その結果を位置信号MR1、MR2の1周期より大きい位置として検出し、例えば9ビットのデータとして出力するためのものである。

【0009】いま、位置信号発生器102は1回転当た

り、位置信号MR1、MR2を512波出力するものとし、さらにそのMR1、MR2の1波を128分割するものとする。すなわち、モータ101の回転位置を $512 \times 128 = 65536$ に分割し16ビットの位置データとして表す。この場合の位置データのフォーマットは、上位9ビットの部分は位置信号MR1、MR2の512波に割り当て、下位7ビットの部分は位置信号MR1、MR2の1波の128分割に割り当てるものとする。また、下位7ビットのうち、上位2ビットの部分は桁上げ／桁下げのデータとして使用する。

【0010】即ち、モータ101の回転に伴って下位7ビットは、例えば0000000、0000001、0000010・・・と変化していき、次にオーバーフローして下位7ビットの内の上位2ビットが11から00に変化したとき、桁上げが発生する。すなわち、パルス発生回路1116は、桁上げパルスを出し、アップダウンカウンタ1122は、1ビットを加算する。

【0011】それによって上位のビットの最下位ビットが0から1へと変化し、位置信号MR1またはMR2の次の1波へと移る。以上を繰り返し、全16ビットのデータがモータ101の回転角度に応じて微小回転角度ごとに変化し、1回転すると全16ビットのデータが全て1の状態からすべて0の初期値にもどる。

【0012】また逆回転の場合は、下位7ビットのうち上位2ビットが00から11に変化したとき、桁下げが発生するものとする。すなわち、パルス発生回路1116は、桁下げパルスを出し、アップダウンカウンタ1122は、1ビットを減算する。

【0013】なお、データレジスタ1123はアップダウンカウンタ1122の出力信号を上位データとして格納し、データレジスタ1124は位相検出器1113の出力信号を下位データとして格納し、それぞれ合わせて全16ビットのデータとして出力される。

【0014】以上のような動作を行うことにより、1回転中の位置を16ビット、即ち65536のデータに細分割し、モータの回転位置を高分解能で検出できる。

【0015】

【発明が解決しようとする課題】しかしながら上記のような方法では、モータの回転位置を高分解能で検出することができる反面、キャリア信号の周波数が一定なので、モータの回転速度が高速になり、位置信号の周波数がキャリア信号の周波数の約 $1/5$ 以上となると、桁上げ桁下げ処理が正常に行われなくなり誤動作を生じるようになる。また、さらに位置信号の周波数が高くなると、内挿処理回路により検出した位置信号の1周期より細かい位置の検出値も正しい値を示さなくなるという問題点があった。例えば、キャリア周波数を125kHzとすると、位置信号の周波数の上限は約25kHzとなり、モータ1回転で位置信号が512波とすると、モータの回転数の上限は、約2900回転／分となる。

(4)

特開平10-281809

【0016】キャリア信号の周波数を高くすれば、モータの回転速度の上限を上げることができるが、逆に位相比較器の位相検出分解能が低くなり、位置検出精度が低下するという問題点があった。

【0017】本発明は上記問題点に鑑み、物体の移動速度（あるいはモータの回転速度）が比較的低速な場合は内挿処理回路を用いて高分解能に物体の位置を検出しながら、物体の移動速度（あるいはモータの回転速度）が比較的高速な場合でも誤動作せずに物体の位置（あるいはモータの回転位置）を正しく検出することができる位置検出装置を提供するものである。

【0018】

【課題を解決するための手段】上記問題点を解決するために本発明の位置検出装置は、物体の位置に応じた互いに位相差の異なる第1及び第2の位置信号を出力する位置信号発生器と、前記第1及び第2の位置信号の1周期より細かい前記物体の位置を検出する内挿処理回路と、前記内挿処理回路の出力する信号から第1の桁上げパルス及び第1の桁下げパルスを発生し出力する第1のパルス発生回路と、前記第1あるいは第2の位置信号をそれぞれ方形波に変換して出力する波形変換回路と、前記波形変換回路の出力信号より第2の桁上げパルス及び第2の桁下げパルスを発生し出力する第2のパルス発生回路と、前記第1の桁上げパルス及び第1の桁下げパルスと、前記第2の桁上げパルス及び第2の桁下げパルスとを前記物体の移動速度に応じて、前記第1及び第2の位置信号の所定の位相において切り換えるパルス切り換え回路と、前記パルス切り換え回路の出力する第3の桁上げパルス及び第3の桁下げパルスをそれぞれ計数し前記第1及び第2の位置信号の1周期より大きい前記物体の位置として出力するアップダウンカウンタより構成されたものである。

【0019】上記の構成により、物体の移動速度が比較的低速な場合は、第1の桁上げパルス及び第1の桁下げパルスを選択し、逆に物体の移動速度が比較的高速な場合は、第2の桁上げパルス及び第2の桁下げパルスを選択して、上述の桁上げ桁下げ処理を行うので、物体の移動速度が比較的低速な場合は、高分解能に物体の位置を検出ことができ、逆に物体の移動速度が比較的高速な場合においても、位置信号の1周期より大きい物体の位置を正しく検出することができる。

【0020】

【発明の実施の形態】上記課題を解決するために、本願の第1発明の位置検出装置は、物体の位置に応じた互いに位相差の異なる第1及び第2の位置信号を出力する位置信号発生器と、前記第1及び第2の位置信号の1周期より細かい前記物体の位置を検出する内挿処理回路と、前記内挿処理回路の出力する信号から第1の桁上げパルス及び第1の桁下げパルスを発生し出力する第1のパルス発生回路と、前記第1あるいは第2の位置信号をそれ

ぞれ方形波に変換して出力する波形変換回路と、前記波形変換回路の出力信号より第2の桁上げパルス及び第2の桁下げパルスを発生し出力する第2のパルス発生回路と、前記第1の桁上げパルス及び第1の桁下げパルスと、前記第2の桁上げパルス及び第2の桁下げパルスとを前記物体の移動速度に応じて、前記第1及び第2の位置信号の所定の位相において切り換えるパルス切り換え回路と、前記パルス切り換え回路の出力する第3の桁上げパルス及び第3の桁下げパルスをそれぞれ計数し前記第1及び第2の位置信号の1周期より大きい前記物体の位置として出力するアップダウンカウンタより構成されたものである。

【0021】本願の第1発明の位置検出装置は、上記の構成により、物体の移動速度が比較的低速な場合は、第1の桁上げパルス及び第1の桁下げパルスを選択し、逆に物体の移動速度が比較的高速な場合は、第2の桁上げパルス及び第2の桁下げパルスを選択して、上述の桁上げ桁下げ処理を行うので、物体の移動速度が比較的低速な場合は、高分解能に物体の位置を検出ことができ、逆に物体の移動速度が比較的高速な場合においても、位置信号の1周期より大きい物体の位置を正しく検出することができる。

【0022】また、本願の第2発明の位置検出装置は、上述の本願の第1発明の位置検出装置に対して、波形変換回路の出力する2相の信号より第1及び第2の位置信号の1周期の1/4の分解能で物体の位置を検出する逡倍回路と、前記逡倍回路の出力信号と内挿処理回路の出力信号とを、パルス切り換え回路と連動して切り換えて出力する下位データ切り換え回路とを付加したものである。

【0023】本願の第2発明の位置検出装置は、上記の構成により、物体の移動速度が比較的低速な場合は、内挿処理回路の出力信号を選択し、逆に物体の移動速度が比較的高速な場合は、逡倍回路の出力信号を選択して、位置信号の1周期より細かい物体の位置として出力するので、物体の移動速度が比較的低速な場合は、上述の本願の第1発明の位置検出装置と同様に高分解能に物体の位置を検出ことができ、逆に物体の移動速度が比較的高速な場合においても、位置信号の1周期より大きい物体の位置だけでなく、位置信号の1周期より細かい物体の位置についても位置信号の1周期の1/4の分解能で物体の位置を正しく検出することができる。

【0024】また、本願の第3発明の位置検出装置は、物体の位置に応じた互いに位相差の異なる第1及び第2の位置信号を出力する位置信号発生器と、前記第1及び第2の位置信号の1周期より細かい前記物体の位置を検出する内挿処理回路と、前記第1及び第2の位置信号をそれぞれ方形波に変換して出力する波形変換回路と、前記波形変換回路の出力する2相の信号より第1及び第2の位置信号の1周期の1/4の分解能で物体の位置を検

(5)

特開平10-281809

出する逡倍回路と、前記内挿処理回路の出力信号と前記逡倍回路の出力信号とを前記物体の移動速度に応じて、切り換えて出力する下位データ切り換え回路と、前記下位データ切り換え回路の出力する信号から第1の桁上げパルス及び第1の桁下げパルスを発生し出力する第1のパルス発生回路と、前記第1のパルス発生回路の出力する第1の桁上げパルス及び第1の桁下げパルスをそれぞれ計数し前記第1及び第2の位置信号の1周期より大きい前記物体の位置として出力するアップダウンカウンタより構成されたものである。

【0025】本願の第3発明の位置検出装置は、上記の構成により、物体の移動速度が比較的低速な場合は、内挿処理回路の出力信号を選択し、逆に物体の移動速度が比較的高速な場合は、逡倍回路の出力信号を選択して、位置信号の1周期より細かい物体の位置として出力するので、物体の移動速度が比較的低速な場合は、上述の本願の第1発明、第2発明の位置検出装置と同様に高分解能に物体の位置を検出することができ、逆に物体の移動速度が比較的高速な場合においても、位置信号の1周期より大きい物体の位置だけでなく、位置信号の1周期より細かい物体の位置についても位置信号の1周期の1/4の分解能で物体の位置を正しく検出することができる。また、第1のパルス発生回路は、下位データ切り換え回路が選択して出力した信号より、第1の桁上げパルス及び第1の桁下げパルスを生成し出力するので、物体の移動速度にかかわらず、位置信号の1周期より大きい物体の位置も正しく検出することができる。

【0026】また、本願の第4発明の位置検出装置は、上述の本願の第1発明、第2発明、あるいは第3発明の位置検出装置に対して、波形変換回路の出力信号より第2の桁上げパルス及び第2の桁下げパルスを発生し出力する第2のパルス発生回路と、第2の桁上げパルス及び第2の桁下げパルスの発生時に内挿処理回路の出力信号を格納することにより内挿処理回路の出力信号に含まれるオフセットを検出するオフセット検出回路と、前記オフセット検出回路の出力信号により内挿処理回路の出力信号に含まれるオフセットを補正するオフセット補正手段とを付加したものである。

【0027】本願の第4発明の位置検出装置は、上記の構成により、上述のパルス切り換え回路あるいは下位データ切り換え回路が、それぞれ選択する信号を切り換えた時に、検出した物体の位置の信号に含まれるオフセットを補正するので、移動速度が比較的低速な場合と比較的高速な場合のどちらにおいても、検出した物体の位置の信号にオフセットを含むことなく、正しく物体の位置を検出することができる。

【0028】また、本発明のモータ制御装置は、モータの回転位置を検出する上記本願の第1、第2、第3または第4発明の位置検出装置と、前記モータの目標位置を示す基準位置信号と前記位置検出装置の出力する回転位

置信号との誤差を検出し、その位置誤差が最小になるように帰還をかけるための位置制御信号を出力する位置制御手段と、前記モータの目標速度を示す基準速度信号と前記回転位置信号を時間微分して得られる回転速度信号との誤差を検出し、その速度誤差が最小になるように帰還をかけるための速度制御信号を出力する速度制御手段と、前記位置制御信号と前記速度制御信号とを所定の比率で混合する混合手段とを備え、前記混合手段の出力により前記モータの回転位置及び回転速度の両方あるいはいずれか一方を制御するように構成されたものである。

【0029】本発明のモータ制御装置は、上記の構成により、モータの回転速度が比較的低速な場合は、高分解能にモータの回転位置あるいは回転速度を制御することができ、逆にモータの回転速度が比較的高速な場合においても、高分解能ではないものの誤動作することなくモータの回転位置あるいは回転速度を制御することができる。

【0030】

【実施例】以下本発明の実施例について、図面を参照しながら説明する。

【0031】(実施例1) 本実施例では、モータの回転位置を16ビットのデジタル値として検出する位置検出装置について説明する。図1は本発明の第1の実施例における位置検出装置の構成図を示すものである。

【0032】図1において、101はモータ、102は位置信号発生器である。位置信号発生器102は、モータ101の回転角度位置に応じて互いの位相が90°異なる第1、第2の位置信号MR1、MR2を出力する。本実施例では、一応 $MR1 = \cos \theta$ 、 $MR2 = \sin \theta$ の位相とする。MR1、MR2はモータ101の1回転当たり、例えば512波発生される。

【0033】103、104は増幅回路であり、位置信号発生器102から出力される振幅の小さい第1、第2の位置信号MR1、MR2を以降の各信号処理に十分な振幅になるように所定のゲインだけ増幅して出力する回路である。

【0034】破線枠内105は、1回転における回転位置をデジタル値として出力する位置検出回路であり、位置信号MR1、MR2の1周期をより細かく分割する内挿処理回路126(破線枠126内)を包含する。

【0035】次に、位置検出回路105、内挿処理回路126の詳細について具体的に説明する。114は、波形変換回路であり、2つのゼロクロスコンパレータにより構成され、信号MR1を信号FG1に、信号MR2を信号FG2に、それぞれ変換して出力する。信号MR1あるいはMR2の位相 θ (単位はラジアン)を横軸とした時の、これらの各信号波形を図3(a)～(d)に示す。図3(a)は信号MR1、図3(b)は信号MR2、図3(c)は信号FG1、図3(d)は信号FG2である。117は逡倍回路、118は第2のパルス発生

(6)

特開平10-281809

回路、119は切り換え信号発生回路である。図2は、通倍回路117、第2のパルス発生回路118、切り換え信号発生回路119の具体的な回路構成を示したものである。図2の中で、201、202、206はDフリップフロップであり、203、204はインバータ、205は排他的論理和回路である。

【0036】通倍回路117は、信号FG1、FG2から位相 θ を1周期の $1/4$ の分解能で検出し7ビットの信号として出力する回路である。 $1/4$ の分解能なので2ビットで表せるが、内挿処理回路126が位相 θ を1

28分割し7ビットのデータとして扱うので、これと整合させるために2ビットの信号を7ビットの信号に変換して出力する。通倍回路117の出力する7ビットの信号の各ビットをB0～B6（B0が下位）とすると、位相 θ 、信号FG1、FG2のレベルと通倍回路117の出力信号の各ビットB0～B6の関係は、（表1）のようになる。

【0037】

【表1】

位相 θ (ラジアン)	FG1	FG2	B6	B5	B4～B0
$0 \sim \pi/2$	H	H	L	L	L
$\pi/2 \sim \pi$	L	H	L	H	L
$\pi \sim 3/2\pi$	L	L	H	L	L
$3/2\pi \sim 2\pi$	H	L	H	H	L

【0038】第2のパルス発生回路118は、信号FG1、FG2から第2の桁上げパルス及び第2の桁下げパルスを発生し出力する回路である。120は切り換え指令回路であり、データレジスタ123、124の出力する位置データを時間微分することによりモータ101の回転速度を検出すると同時に、これを所定の切り換え速度と比較し、切り換え速度より低ければLレベルの信号を、切り換え速度より高ければHレベルの信号を切り換え指令信号CHGとして出力する。切り換え信号発生回路119は、切り換え指令回路120の出力する切り換え指令信号CHGを信号FG1の立ち上がりエッジで同期化して切り換え信号CSGとして出力する。

【0039】121は、パルス切り換え回路であり、切り換え信号発生回路119の出力する切り換え信号CSGに従って、Lレベルならば、第1のパルス発生回路116の出力する第1の桁上げパルス及び第1の桁下げパルスを選択し、Hレベルならば、第2のパルス発生回路118の出力する第2の桁上げパルス及び第2の桁下げパルスを選択して第3の桁上げパルス及び第3の桁下げパルスとして出力する。第3の桁上げパルス及び第3の桁下げパルスはアップダウンカウンタ122にて計数され、計数値はデータレジスタ123に格納される。

【0040】115は、下位データ切り換え回路であり、切り換え信号発生回路119の出力する切り換え信号CSGに従って、Lレベルならば、内挿処理回路126の出力信号を選択し、Hレベルならば、通倍回路117の出力信号を選択して出力する。データレジスタ124は、下位データ切り換え回路115の出力信号を格納する。データレジスタ123、124に格納された値

は、モータ101の回転位置の位置データとして外部に出力される。

【0041】125は、オフセット検出回路であり、パルス発生回路118の出力する第2の桁上げパルスと第2の桁下げパルスのどちらかが発生したときに内挿処理回路126の出力信号を格納し外部に出力する。

【0042】内挿処理回路126については、図10とほぼ同一であるが異なる部分のみ説明する。112は遅延回路であるが、遅延回路112は、入力されたキャリア信号を位相 α だけ遅延させて出力する。この出力信号は、位相検出器113に入力され、波形整形回路110の出力信号と位相比較される。

【0043】波形整形回路110の出力信号は、上述したように $\sin(\omega t + \theta)$ となるはずであるが、フィルタ109を始めとする各信号処理の過程において遅延位相（あるいは遅延時間）が生じるのでこの遅延位相を β とすると、実際の信号は $\sin(\omega t + \theta - \beta)$ となる。従って、これを第1のキャリア信号である $\sin \omega t$ と位相比較すると、位相差は $(\theta - \beta)$ となり位相 θ に対してオフセット値 β を生ずる。遅延回路112は、このオフセット値 β を補正するためのものである。遅延回路112の遅延位相を α とすると、その出力信号は $\sin(\omega t - \alpha)$ なので、位相検出器113が検出する位相は、 $\theta - (\beta - \alpha)$ となる。ここで、遅延位相 α の設定値を遅延位相 β を補うように設定する。すなわち、 $(\beta - \alpha) < 0$ とすると、 $\theta - (\beta - \alpha) \approx \theta$ となり、位相 θ の検出誤差は小さくなる。

【0044】図4(a)～(g)は、図1における各部の信号波形を示すものである。ただし、横軸は位置信号

(7)

特開平10-281809

MR1あるいはMR2の位相 θ （単位はラジアン）である。ここで、図4（a）は信号FG1を、図4（b）は信号FG2を、図4（c）は第2の桁上げパルスを、図4（d）は第2の桁下げパルスを、図4（e）は第1の桁上げパルスあるいは第1の桁下げパルスを、図4（f）と図4（g）は第3の桁上げパルスを示している。ここで、パルスP1、Q1、R1と、パルスP2、Q2、R2と、パルスP3、Q3、R3は、それぞれモータ101の同一回転位置に対応するパルス群である。【0045】まず、モータ101が正方向に回転している場合、すなわち位相 θ が時間の経過とともに増加する場合について説明する。このとき、第2のパルス発生回路118は、図4（c）に示すような第2の桁上げパルスを出力する。このパルスはパルス切り換え回路121を通してアップダウンカウンタ122において立ち上がりエッジが計数されることになるが、立ち上がりエッジが発生する位相は $2n\pi$ （ n は整数）となる。仮に、 $\alpha = 0$ 、 $-2\pi < \beta < \theta_1$ とすると、第1の桁上げパルスは図4（e）に示すように位相 $(2n\pi + \beta)$ において発生する。

【0046】ここで、切り換え信号発生回路119の出力する切り換え信号CSGにより第1の桁上げパルスと第2の桁上げパルスを切り換える場合を考える。切り換え信号CSGは信号FG1の立ち上がりエッジで変化するので、この場合、位相 $(2n\pi + \theta_1)$ にて変化する。モータ101の回転数が高速になり、切り換え指令回路120の出力する切り換え指令信号CHGがLレベルからHレベルに変化し、それに伴い、切り換え信号CSGが位相 θ_1 にてLレベルからHレベルに変化したとすると、パルス切り換え回路121が出力する第3の桁上げパルスには、図4（f）に示すようにパルスR2とパルスP2の両方が含まれることになる。これではアップダウンカウンタ122は2重にパルスを計数することになり、計数値はモータ101の正しい回転位置を示さなくなる。逆に、モータ101の回転数が低速になり、切り換え指令回路120の出力する切り換え指令信号CHGがHレベルからLレベルに変化し、それに伴い、切り換え信号CSGが位相 θ_1 にてHレベルからLレベルに変化したとすると、第3の桁上げパルスには、図4（g）のようにパルスR2とパルスP2の両方とも含まれないことになる。これはパルスが抜けたことになり、この場合もアップダウンカウンタ122の計数値は正しい回転位置を示さない。

【0047】次に、モータ101が逆方向に回転している場合、すなわち位相 θ が時間の経過とともに減少する場合について説明する。図5（a）～（g）は図4（a）～（g）にそれぞれ対応している。ただし、図5（f）と図5（g）は第3の桁下げパルスである。このとき、第2のパルス発生回路118は、図5（d）に示すような第2の桁下げパルスを出力する。このパルスは

パルス切り換え回路121を通してアップダウンカウンタ122において立ち上がりエッジが計数されることになるが、立ち上がりエッジが発生する位相は $2n\pi$ （ n は整数）となる。仮に、 $\alpha = 0$ 、 $\theta_2 < \beta < +2\pi$ とすると、第1の桁下げパルスは図5（e）に示すように位相 $(2n\pi + \beta)$ において発生する。

【0048】ここで、上述と同様に、切り換え信号CSGにより第1の桁下げパルスと第2の桁下げパルスを切り換える場合を考える。切り換え信号CSGは信号FG1の立ち上がりエッジで変化するので、この場合、位相 $(2n\pi + \theta_2)$ にて変化する。モータ101の回転数が高速になり、切り換え指令回路120の出力する切り換え指令信号CHGがLレベルからHレベルに変化し、それに伴い、切り換え信号CSGが位相 θ_2 にてLレベルからHレベルに変化したとすると、パルス切り換え回路121が出力する第3の桁下げパルスには、図5

（f）に示すようにパルスR2とパルスQ2の両方が含まれることになる。これではアップダウンカウンタ122は2重にパルスを計数することになり、計数値はモータ101の正しい回転位置を示さなくなる。逆に、モータ101の回転数が低速になり、切り換え指令回路120の出力する切り換え指令信号CHGがHレベルからLレベルに変化し、それに伴い、切り換え信号CSGが位相 θ_2 にてHレベルからLレベルに変化したとすると、第3の桁上げパルスには、図5（g）のようにパルスR2とパルスQ2の両方とも含まれないことになる。これはパルスが抜けたことになり、この場合もアップダウンカウンタ122の計数値は正しい回転位置を示さない。

【0049】特に、切り換え指令信号CHGが、LレベルからHレベルあるいはHレベルからLレベルへの変化を複数回繰り返すと、上述のアップダウンカウンタ122の計数値の誤差が累積し、位置検出回路105の出力する位置データには、大きな誤差を生ずることになってしまう。

【0050】次に、 α の値を β を補うように設定し、オフセット値 $(\beta - \alpha)$ が、 $(\beta - \alpha) < 0$ とした場合を考える。図6（a）～図6（g）は図4（a）～図4（g）にそれぞれ対応している。この場合、第1の桁上げパルスあるいは第1の桁下げパルスは図6（e）に示すように位相 $2n\pi$ （ n は整数）において発生する。モータ101が正方向あるいは逆方向のいずれの場合においても、また、モータ101の回転数の変化に伴い、切り換え信号CSGが位相 θ_1 あるいは位相 θ_2 においてLレベルからHレベルあるいはHレベルからLレベルに変化した場合のいずれの場合においても、パルス切り換え回路121が出力する第3の桁上げパルスあるいは第3の桁下げパルスには、図6（f）、図6（g）に示すようにパルスR2とパルスP2（あるいはパルスQ2）の両方が同時に含まれることも、両方とも含まれないことも起きない。従って、桁上げ桁下げ処理が正しく行わ

(8)

特開平10-281809

れ、アップダウンカウンタ122の計数値はモータ101の正しい回転位置を示すことになる。

【0051】実際には、位相 β の値はフィルタ109を通過する信号の周波数によって変化し、さらにフィルタ109を構成する部品の精度などの要因によりばらつきを生じることから、オフセット値が $(\beta - \alpha) < 0$ とはならない場合がある。しかし、この場合もオフセット値が、 $\theta_1 < (\beta - \alpha) < \theta_2$ の範囲に入っていれば、誤動作することなく、正しく桁上げ桁下げ処理を行うことができる。

【0052】ただし、このオフセットは内挿処理回路126の出力信号にのみ含まれ、一方の逡倍回路117の出力信号には含まれないため、オフセット値 $(\beta - \alpha)$ が実用上無視できない値であれば、これを補正する必要がある。オフセット検出回路125は、このオフセット値を検出するための回路である。オフセット検出回路125は、第2の桁上げパルスと第2の桁下げパルスのどちらかが発生した時に、内挿処理回路126の出力信号を格納するが、第2の桁上げパルスと第2の桁下げパルスのどちらも $\theta = 0$ の時に発生するので、この時、内挿処理回路126の出力信号は、 $\theta - (\beta - \alpha) = -(\beta - \alpha)$ となり、オフセット検出回路125にオフセット値 $(\beta - \alpha)$ が格納されることになる。

【0053】これを補正データとして、マイクロプロセッサ（あるいはマイクロコンピュータ）においてソフトウェアでオフセット補正手段を構成することにより位置データに含まれるオフセットを補正することができる。すなわち、補正データをデータレジスタ123、124の出力する位置データと同時に取り込み、かつ切り換え信号CSGのレベルを取り込むことにより下位データ切り換え回路115がいずれの信号を選択しているかを判断しながら、補正データを位置データに加算（あるいは減算）する処理をソフトウェアでプログラムすればよい。

【0054】なお、本実施例では、マイクロプロセッサによりソフトウェアでオフセット補正手段を構成しているが、位置検出回路内部においてハードウェアで加算回路などを設けることにより、オフセット補正手段を構成してもよい。

【0055】また、内挿処理回路126においては、逡延回路112を用いてオフセットの補正を行っているが、逡延回路を設けずに、例えば位相検出回路113の出力値に加算回路を用いて位相 α を加算しても、上述と同様な動作となる。

【0056】さらに、モータ101が加速して高速に回転した場合を考える。この場合、内挿処理回路126の出力する位置信号の位相 θ （あるいは $\theta - (\beta - \alpha)$ ）については、もはや正しい値を示さなくなる。しかし、逡倍回路117の出力する値はモータ101が高速に回転している場合でも、常に位置信号の位相 θ に対応した

正しい値を出力する。

【0057】下位データ切り換え回路115は、パルス切り換え回路121と連動して、モータ101の回転速度に応じて、位置信号の位相 θ に対応した信号を切り換えて出力する回路である。すなわち、モータ101が低速で回転している時には、位相検出回路113の出力信号を、モータ101が高速で回転している時には、逡倍回路117の出力信号を選択して出力するので、下位データ切り換え回路115は、モータ101の回転速度にかかわらず常に位置信号の位相 θ に対応した正しい値を出力することになる。

【0058】なお、逡倍回路117及び下位データ切り換え回路115の構成を省略し、内挿処理回路126の出力信号をデータレジスタ124に直接入力する構成も考えられる。この場合、位置信号の1周期より細かい位置については、正しく検出できないが、桁上げ桁下げ処理は正しく行われるので位置信号の1周期より大きい位置については、正しく検出できる。

【0059】また、本実施例では切り換え指令回路120をハードウェアで構成しているが、例えば、データレジスタ123、124の出力する位置データを外部のマイクロプロセッサで取り込み、マイクロプロセッサ内部において取り込んだ位置データを時間微分して移動速度に変換し、所定の切り換え速度と比較して、その大小により切り換え指令信号を切り換え信号発生回路119に出力しても上述と同様の動作が可能である。

【0060】以上のように本実施例によれば、モータが比較的低速で回転している場合には、内挿処理回路の働きにより高分解能の位置検出が可能であり、比較的高速で回転している場合においても、分解能は低下するが誤動作することなく正しく回転位置を検出することが可能である。

【0061】（実施例2）図7は本発明の第2の実施例における位置検出装置の構成図を示すものである。図7に示す本発明の第2の実施例の位置検出装置においては、図1に示す本発明の第1の実施例の位置検出装置を構成する各構成要素は共通しており、図7においては図1よりも構成する構成要素の数が少なくなっている。また、図1と共通する構成要素については同一図番を付し、その説明を省略する。以下、異なる構成についてのみ説明する。

【0062】下位データ切り換え回路115は、切り換え指令回路120の出力する切り換え指令信号CHGを切り換え信号CSGとして、この信号のレベルに従って、内挿処理回路126の出力信号と、逡倍回路117の出力信号を切り換えて出力する。第1のパルス発生回路116は下位データ切り換え回路115の出力信号から、上述の本発明の第1の実施例と同様に第1の桁上げパルス及び第1の桁下げパルスを生成し出力する。アップダウンカウンタ122は、前記第1の桁上げパルス及

(9)

特開平10-281809

び第1の桁下げパルスを計数してデータレジスタ123に出力する。

【0063】図8は、図7における各信号の波形を示したものである。ただし、横軸は位置信号MR1あるいはMR2の位相 θ である。ここで、図8(a)は信号FG1を、図8(b)は信号FG2を、図8(c)は通倍回路117の出力信号を、図8(d)は内挿処理回路126の出力信号を、図8(e)は下位データ切り換え回路の出力信号を、図8(f)と図8(g)はそれぞれ第1のパルス発生回路116の出力する第1の桁上げパルス及び第1の桁下げパルスを示している。なお、ここで図8(c)、(d)、(e)に示す各信号は桁上げ桁下げ処理に必要な上位2ビットを2進数で示している(左側が上位)。

【0064】いま、内挿処理回路126の出力信号に含まれるオフセットを上述と同様に $(\beta - \alpha)$ とすると、内挿処理回路126の出力信号は、図8(d)に示すように、図8(c)の通倍回路117の出力信号に対して $(\beta - \alpha)$ だけ位相がずれた信号となっている。モータ101は正方向に回転している、すなわち位相 θ が時間の経過とともに増加しているとする。ここで、 $0 < \gamma < (\beta - \alpha) < +\pi/2$ として、モータ101の回転数の変化に伴い、切り換え信号CSGが位相 γ においてHレベルからLレベルに変化し、下位データ切り換え回路115が通倍回路117の出力信号から内挿処理回路126の出力信号に切り換えたとする。この時、下位データ切り換え回路115の出力信号は図8(e)に示すように変化する。第1のパルス発生回路116は、図8(f)に示すような第1の桁上げパルスと、図8(g)に示すような桁下げパルスを出力する。

【0065】図8(f)、図8(g)において、パルスP2とS2、あるいはパルスR2とS2は、アップダウンカウンタ122において互いに打ち消し合うように作用するので、結果としてアップダウンカウンタ122の計数値は、モータ101の位置信号MR1、MR2の1周期より大きい回転位置を正しく示すことになる。また、モータ101が逆方向に回転している場合、あるいは切り換え信号CSGがLレベルからHレベルに変化した場合のいずれの場合においても、上述と同様の結果となる。

【0066】ただし、オフセット値 $(\beta - \alpha)$ は、 $-\pi/2 < (\beta - \alpha) < +\pi/2$ の範囲に入っていない場合は、第1の桁上げパルスあるいは第1の桁下げパルスの発生の仕方が異なるのでアップダウンカウンタ122の計数値は上述のような正しい計数値を示すとは限らない。

【0067】このように、下位データ切り換え回路115がモータ101の回転速度に応じて信号を切り換えて出力した場合でも、誤動作することなく桁上げ桁下げ処理が行われ、データレジスタ123、124の出力信号

はモータ101の回転位置を正しく示すことになる。

【0068】また、本発明の第2の実施例においても、本発明の第1の実施例と同様に第2のパルス発生回路118、オフセット検出回路125とオフセット補正手段を備えることにより、内挿処理回路126の出力信号に含まれるオフセットを補正することができる。

【0069】以上のように本実施例によれば、第1の実施例と同様に、モータが比較的低速で回転している場合には、内挿処理回路の動きにより高分解能の位置検出が可能であり、比較的高速で回転している場合においても、分解能は低下するが誤動作することなく正しく回転位置を検出することが可能である。

【0070】なお、本発明の第2の実施例においては、第1の実施例と比較して、その位置検出の機能あるいは性能に関しては実質的に同等であるが、構成要素の数はより少なくなっており、位置検出回路全体の回路規模をより小さくすることができる。

【0071】また、本実施例においては回転型のモータの位置検出について説明したが、直線型のモータ(リニアモータ)などについても同様にその位置検出に応用することができる。

【0072】次に本発明のモータ制御装置について、図面を参照しながら説明する。図9は本発明の実施例におけるモータ制御装置の全体の構成図を示すものである。

【0073】図9において、モータ101、位置信号発生器102、増幅回路103、104、位置検出回路105については、図1と同一の構成であるため、その説明を省略する。また、破線枠内901は、上述の本発明の位置検出装置である。

【0074】破線枠内902は、マイクロプロセッサによりソフトウェア的に処理される部分を示す。910はオフセット補正手段であり、位置検出回路105の出力する切り換え信号のレベルに応じて、位置検出回路105の出力する位置データに補正データを加算して回転位置信号として出力する。905は基準速度信号発生手段であり、モータ101の目標速度を示す基準速度信号を出力する。906は積分手段であり、基準速度信号発生手段905の出力する基準速度信号を時間積分することにより、モータ101の目標位置を示す基準位置信号を生成して出力する。907は速度制御手段であり、基準速度信号とオフセット補正手段910の出力する回転位置信号を時間微分して得られる回転速度信号と比較し、その速度誤差に応じた速度制御信号を出力する。908は位置制御手段であり、基準位置信号とオフセット補正手段910の出力する回転位置信号と比較し、その位置誤差に応じた位置制御信号を出力する。

【0075】速度誤差に応じた速度制御信号と位置誤差に応じた位置制御信号は、混合手段909にて所定の比率で加算される。混合手段909の出力は、D/Aコンバータ902を介して駆動回路903に入力され、モータ

(10)

特開平10-281809

タ101は上述の位置誤差あるいは速度誤差が最小になるように、回転位置あるいは回転速度が制御される。

【0076】以上のように構成された本発明のモータ制御装置においては、位置検出装置901はモータ101の回転速度にかかわらず、誤動作せずに正しい回転位置に対応する回転位置信号を出力するので、モータ101は停止から比較的低い回転速度まではモータ101の回転位置あるいは回転速度を高分解能に制御することができ、高回転においても回転位置あるいは回転速度を目標位置あるいは目標速度とずれることなく制御することができる。

【0077】

【発明の効果】以上のように本発明の位置検出装置においては、以下の効果を得ることができる。

【0078】請求項1記載の発明によれば、物体の移動速度が比較的低速な場合は、高分解能に物体の位置を検出ことができ、逆に物体の移動速度が比較的高速な場合においても、位置信号の1周期より大きい物体の位置を正しく検出することができる。

【0079】請求項2記載の発明によれば、物体の移動速度が比較的低速な場合は、上述の請求項1記載の発明と同様に高分解能に物体の位置を検出ことができ、逆に物体の移動速度が比較的高速な場合においても、位置信号の1周期の1/4の分解能で物体の位置を正しく検出することができる。

【0080】請求項3記載の発明によれば、上述の請求項2記載の発明と同様に、物体の移動速度が比較的低速な場合は、高分解能に物体の位置を検出ことができ、逆に物体の移動速度が比較的高速な場合においても、位置信号の1周期の1/4の分解能で物体の位置を正しく検出することができる。さらに、請求項2記載の発明よりも小規模の回路で構成することができる。

【0081】請求項6記載の発明によれば、移動速度が比較的低速な場合と比較的高速な場合のどちらにおいても、検出した物体の位置の信号にオフセットを含むことなく、正しく物体の位置を検出することができる。

【0082】請求項8記載の発明によれば、モータの回転速度が比較的低速な場合は、高分解能にモータの回転位置あるいは回転速度を制御することができ、逆にモータの回転速度が比較的高速な場合においても、高分解能ではないものの誤動作することなくモータの回転位置あるいは回転速度を制御することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における位置検出装置の構成図

【図2】図1に示す第2のバルス発生回路、逓倍回路、切り換え信号発生回路の回路図

【図3】図1に示す波形変換回路の動作説明図

【図4】本発明の第1の実施例における位置検出装置の動作説明図

【図5】本発明の第1の実施例における位置検出装置の動作説明図

【図6】本発明の第1の実施例における位置検出装置の動作説明図

【図7】本発明の第2の実施例における位置検出装置の構成図

【図8】本発明の第2の実施例における位置検出装置の動作説明図

【図9】本発明の実施例におけるモータ制御装置の構成図

【図10】従来の位置検出装置の構成図

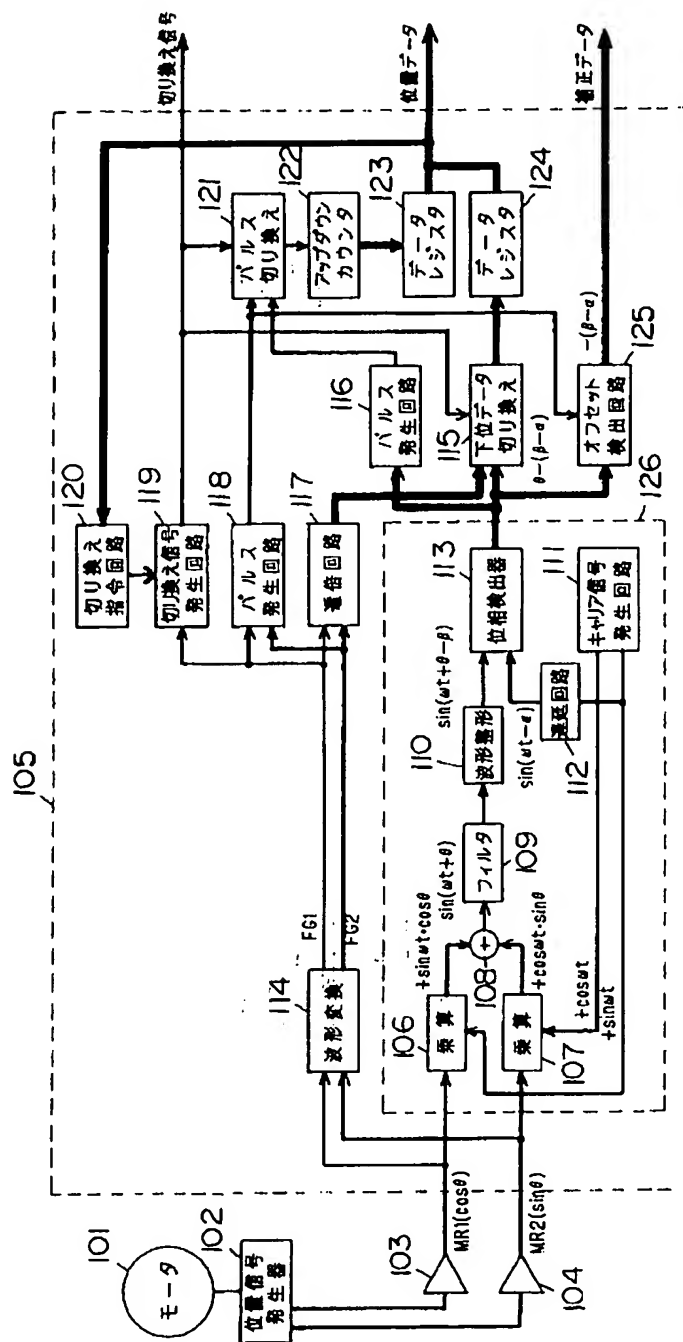
【符号の説明】

- 101 モータ
- 102 位置信号発生器
- 103, 104 増幅回路
- 105 位置検出回路
- 106, 107 乗算回路
- 108 加算回路
- 109 フィルタ
- 110 波形整形回路
- 111 キャリア信号発生回路
- 112 遅延回路
- 113 位相検出器
- 114 波形変換回路
- 115 下位データ切り換え回路
- 116 第1のバルス発生回路
- 117 逓倍回路
- 118 第2のバルス発生回路
- 119 切り換え信号発生回路
- 120 切り換え指令回路
- 121 バルス切り換え回路
- 122 アップダウンカウンタ
- 123, 124 データレジスタ
- 125 オフセット検出回路
- 126 内挿処理回路
- 907 速度制御手段
- 908 位置制御手段
- 909 混合手段
- 910 オフセット補正手段

(11)

特開平10-281809

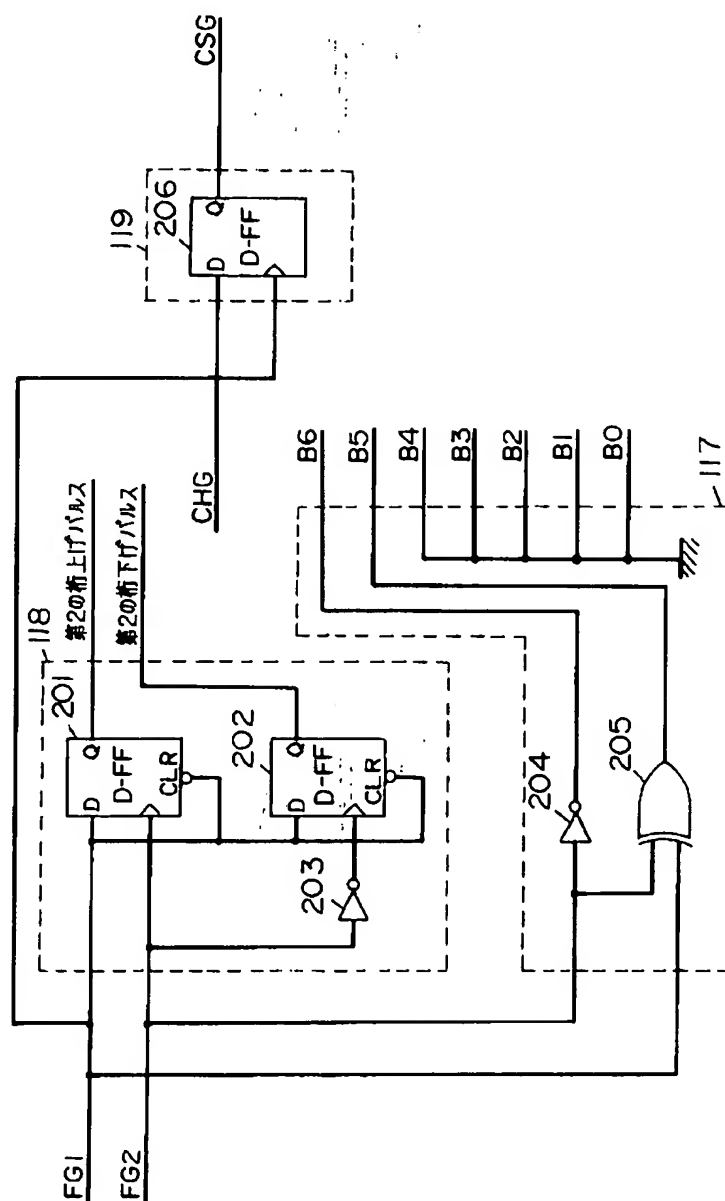
【図1】



(1 2)

特開平10-281809

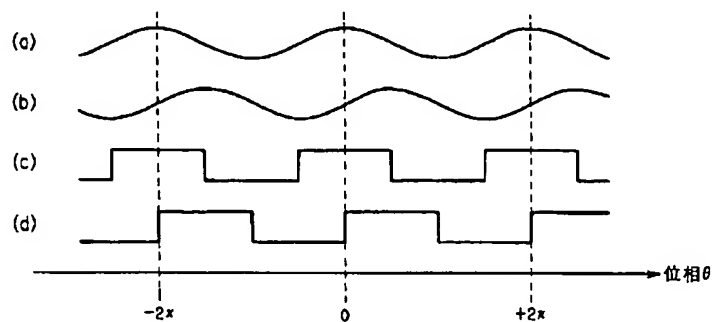
【図2】



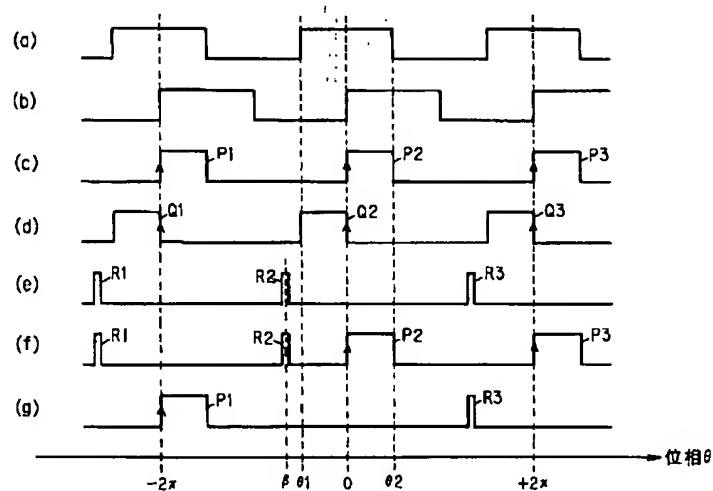
(13)

特開平10-281809

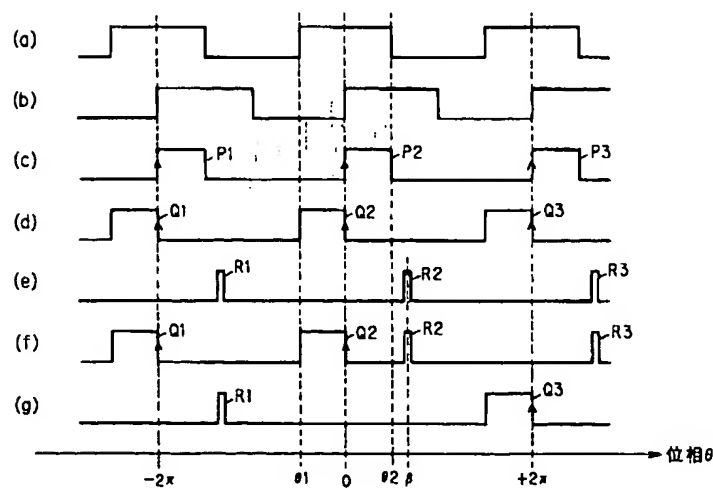
【図3】



【図4】



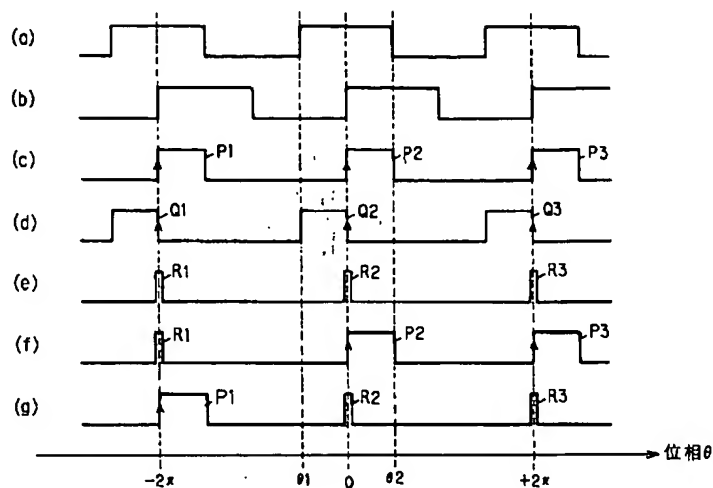
【図5】



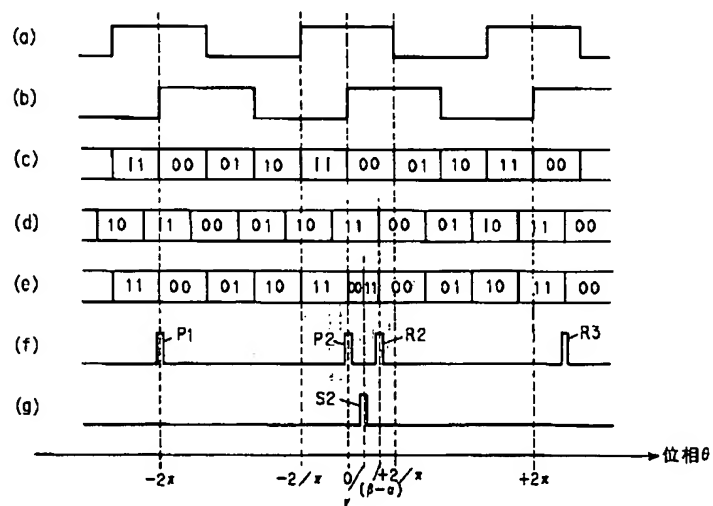
(1 4)

特開平10-281809

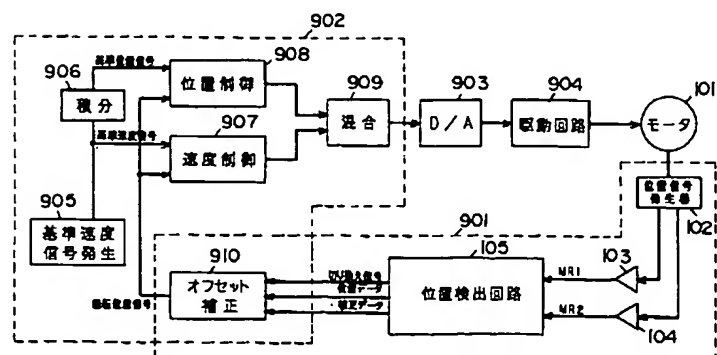
【図6】



【图8】



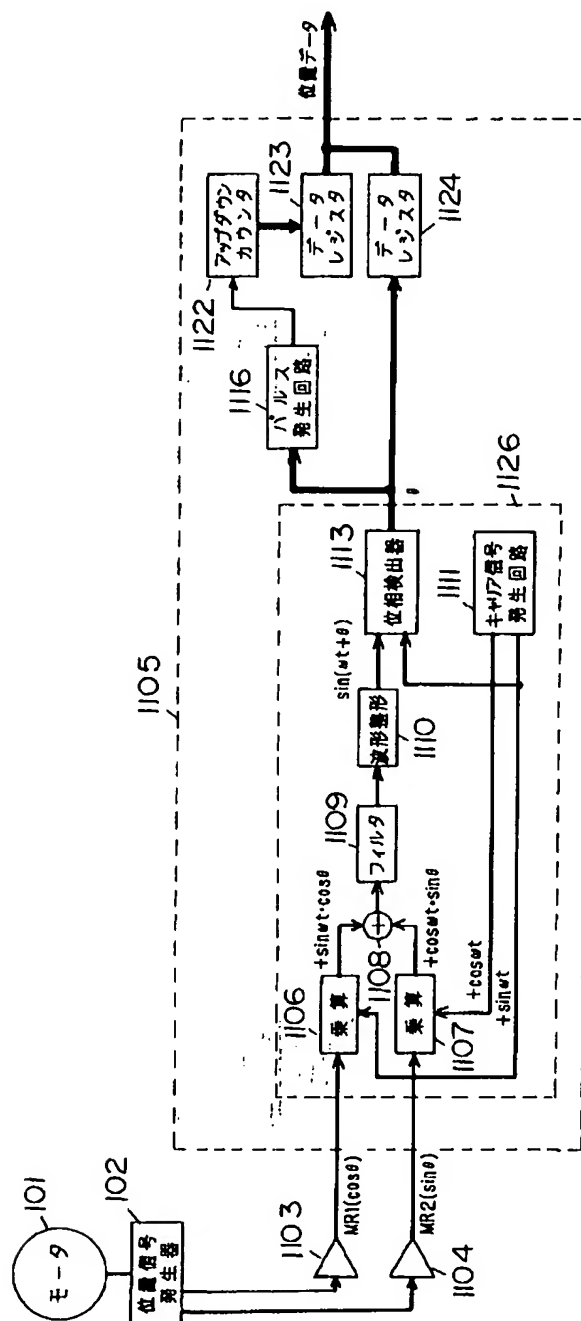
【図9】



(1 6)

特開平10-281809

【図 10】



フロントページの続き

(51) Int. Cl. ⁶

H02P 5/00

識別記号

FI

H02P 5/00

R